

Doc No. 5933-046

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Tatsuhiko KOIDE : Confirmation Number: 4009
Serial No.: 10/669,568 : Group Art Unit: 2811
Filed: September 25, 2003 : Examiner: not yet assigned
For: SEMICONDUCTOR DEVICE PROVIDED WITH A DIELECTRIC FILM INCLUDING
POROUS STRUCTURE AND MANUFACTURING METHOD THEREOF

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant(s) hereby claims(s) the
priority of:

Japanese Patent Application No. 2002-287672, Filed September 30, 2002
Japanese Patent Application No. 2003-307807, Filed August 29, 2003

cited in the Declaration of the present application. Certified copy(ies) is(are) submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:jgh
Facsimile: (202) 756-8087
Date: January 6, 2004

Docket No. 65933-046
SO 12. 10/669,568
McDermott, Will & Smey
Filed: Sep 1.25, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 8 月 2 9 日

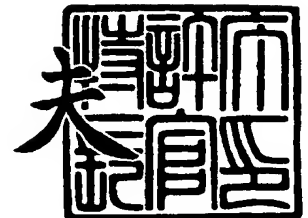
出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 0 7 8 0 7
[ST. 10/C]: [J P 2 0 0 3 - 3 0 7 8 0 7]

出 願 人
Applicant(s): 三 洋 電 機 株 式 会 社

2 0 0 3 年 9 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 4 7 5 0

【書類名】 特許願
【整理番号】 NPC1030042
【提出日】 平成15年 8月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/31
【発明者】
 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
 【氏名】 小出 辰彦
【特許出願人】
 【識別番号】 000001889
 【氏名又は名称】 三洋電機株式会社
【代理人】
 【識別番号】 100105924
 【弁理士】
 【氏名又は名称】 森下 賢樹
 【電話番号】 03-3461-3687
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-287672
 【出願日】 平成14年 9月30日
【手数料の表示】
 【予納台帳番号】 091329
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、該半導体基板上に形成された、多孔質膜およびこれに接する非多孔質膜からなる絶縁膜とを有し、

前記多孔質膜および前記非多孔質膜が、実質的に同一組成の膜であることを特徴とする半導体装置。

【請求項 2】

半導体基板と、該半導体基板上に形成された、多孔質膜およびこれに接する非多孔質膜からなる絶縁膜とを有し、

前記多孔質膜および前記非多孔質膜は、いずれも Si、O および C を含むことを特徴とする半導体装置。

【請求項 3】

半導体基板と、該半導体基板上に形成された、多孔質部を含み実質的に均一組成からなる絶縁膜とを有し、

空孔部が、前記絶縁膜中、上面近傍および下面近傍のうち少なくとも一方において相対的に低密度に分布していることを特徴とする半導体装置。

【請求項 4】

請求項 1 または 2 に記載の半導体装置において、非多孔質膜が、多孔質膜の上部に設けられたことを特徴とする半導体装置。

【請求項 5】

請求項 3 に記載の半導体装置において、前記絶縁膜の上面近傍において、前記空孔部が相対的に低密度に分布していることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 いずれかに記載の半導体装置において、前記絶縁膜における多孔質部分に含まれる孔の平均径が 1 nm 以上であることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 いずれかに記載の半導体装置において、前記絶縁膜中に金属配線が設けられ、該金属配線の上面と前記絶縁膜の上面とが同一面内にあることを特徴とする半導体装置。

【請求項 8】

半導体基板上に、多孔質膜および前記多孔質膜と実質的に同一組成の非多孔質膜がこの順で積層した絶縁膜を形成する工程と、
前記絶縁膜を選択的に除去して凹部を形成する工程と、
前記凹部を埋め込むように金属膜を形成する工程と、
前記多孔質膜が露出しないように前記金属膜を研磨またはエッチバックし、前記凹部以外の領域に形成された金属膜を除去する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 9】

半導体基板上に、Si、O および C を含む多孔質膜と、Si、O および C を含む非多孔質膜とがこの順で積層した絶縁膜を形成する工程と、
前記絶縁膜を選択的に除去して凹部を形成する工程と、
前記凹部を埋め込むように金属膜を形成する工程と、
前記多孔質膜が露出しないように前記金属膜を研磨またはエッチバックし、前記凹部以外の領域に形成された金属膜を除去する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 10】

半導体基板上に、実質的に均一組成からなる多孔質構造の絶縁膜を形成する工程を含む半導体装置の製造方法であって、前記絶縁膜を形成する際、成膜条件を調整することによ

り空孔部の密度を変化させることを特徴とする半導体装置の製造方法。

【請求項 11】

半導体基板上に、テンプレートを含む第1の膜およびテンプレートを含まない第2の膜がこの順で積層した絶縁膜を形成する工程と、

前記絶縁膜を選択的に除去して凹部を形成する工程と、

前記第1の膜を加熱処理し、前記テンプレートを分解または除去することにより前記第1の膜を多孔質化する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 8 乃至 11 いずれかに記載の半導体装置の製造方法において、

前記絶縁膜を、CVD法により成膜室から取り出すことなく一貫して形成し、

前記絶縁膜における多孔質部分を形成する段階ではテンプレートを含む成膜ガスを用い、非多孔質部分を形成する段階ではテンプレートを実質的に含まない成膜ガスを用いることを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 10 に記載の半導体装置の製造方法において、

前記絶縁膜をCVD法により形成し、成膜ガスを変更することにより空孔部の密度を変化させることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 10 または 13 に記載の半導体装置の製造方法において、

前記絶縁膜の上面近傍において前記空孔部が相対的に低密度に分布するように前記成膜条件を調整することを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 11 に記載の半導体装置の製造方法において、さらに、前記凹部を埋め込むように金属膜を形成する工程と、前記絶縁膜の表面が露出するまで前記金属膜を研磨またはエッチバックし、前記凹部以外の領域に形成された金属膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、多孔質構造の絶縁膜を備える半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体集積回路のデザインルールの縮小にともない配線遅延の問題が顕著になってきている。こうした問題に対応するため、近年、多孔質構造の採用による層間絶縁膜の低誘電率化が盛んに検討されている。多孔質絶縁膜の採用は、絶縁膜材料の選択とともに低誘電率化の技術として重要な位置を占めている。

【0003】

しかしながら絶縁膜を多孔質化した場合、その上部または下部に隣接する他の膜との密着性が十分に得られないことがあった。また、絶縁膜を多孔質化すると一般に膜強度が低下し、クラックや膜剥がれが発生することがあった。特に、配線形成時のCMP（化学的機械的研磨）工程において多孔質膜に負荷が加わると、多孔質膜が損傷しやすい。こうしたことから、多孔質膜上に、加工性のよいSiO₂膜等の保護膜を形成する手法が提案されている（非特許文献1）。

【0004】

非特許文献1には、図1に示す配線構造が記載されている。この配線構造は、配線間絶縁膜12に下層配線11が埋設され、その上部にSiCNからなる銅拡散防止膜13、多孔質構造の低誘電率膜40、SiCNからなる保護膜18が積層している。この積層膜中にバリアメタル19、銅膜20からなる上層配線およびビアプラグが形成されている。

【0005】

ところが、この配線構造では、低誘電率膜40とSiCNからなる保護膜18との間の密着性が必ずしも十分に得られず、これらの膜の界面で膜剥がれが生じることがあった。また、多孔質膜の孔の部分に上層の高誘電率膜材料が侵入し、多孔質膜の誘電率の上昇を招くことがあった。

【非特許文献1】IITC2002プロシーディング集 2002年6月3日発行
(Proceedings of the IEEE 2002 International Interconnects, 2002.6.3, "CVD Barriers for Cu with Ultra Low-k: Integration and Reliability", J.C.Lin etc.)

【発明の開示】

【発明が解決しようとする課題】

【0006】

こうした事情に鑑み本発明は、多孔質絶縁膜の導入により配線間容量を低減しつつ、多孔質絶縁膜の導入にともなう密着不良、絶縁膜の機械的特性低下、あるいは製造工程の煩雑化を低減することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係る第一の半導体装置は、半導体基板と、該半導体基板上に形成された、多孔質膜およびこれに接する非多孔質膜からなる絶縁膜とを有し、前記多孔質膜および前記非多孔質膜が、実質的に同一組成の膜であることを特徴とする。

【0008】

この半導体装置は、多孔質膜を構成する化合物と非多孔質膜を構成する化合物とが実質的に同一な組成を有しているため、多孔質膜と非多孔質膜との親和性が向上し、良好な密着性が得られる。これにより、従来、課題となっていた多孔質と隣接する膜との密着性不良が解消され、信頼性の高い半導体装置が提供される。上記化合物は、通常、高分子の形態をとるが、この場合、主骨格が共通するものであることが好ましい。重合度は異なっても良い。多孔質膜および非多孔質膜は、いずれも有機化合物、特に有機珪素化合物により構成された有機膜であることが好ましい。このようにすれば、これらの膜の親和性が

安定的に向上し、膜間密着性を向上させることができる。

【0009】

本発明に係る第二の半導体装置は、半導体基板と、該半導体基板上に形成された、多孔質膜およびこれに接する非多孔質膜からなる絶縁膜とを有し、前記多孔質膜および前記非多孔質膜は、いずれも Si、O および C を含むことを特徴とする。

【0010】

この半導体装置は、多孔質膜および非多孔質膜がいずれも Si、O および C を含んでいるため、膜同士の親和性が向上し、良好な密着性が得られる。それぞれの膜の材料は同一であっても異なってもよいが、主骨格が共通するものとすれば、膜同士の親和性がより一層向上し、密着性改善効果が顕著となる。Si、O および C を含む膜としては、MSQ（メチルシルセスキオキサン）、MHSQ（メチルハイドロシルセスキオキサン）等の塗布膜や、SiOC 等の CVD 膜等が例示される。

【0011】

上述した第一および第二の半導体装置において、非多孔質膜は、多孔質膜の上部にあっても下部にあってもよい。非多孔質膜を多孔質膜の上部に配置する場合は、非多孔質膜は保護膜としての機能を果たし、CMP 等の加工や成膜工程を実施した際の多孔質膜の損傷を抑制することができ、効果的である。

【0012】

また、上述の半導体装置において、多孔質膜および非多孔質膜の比誘電率の差が 1 以下とする構成を採用することができる。こうすることにより、非多孔質膜の膜材料が多孔質膜中の空孔部に滲入した場合にも多孔質膜の比誘電率の上昇を抑制することができる。

【0013】

本発明に係る第三の半導体装置は、半導体基板と、該半導体基板上に形成された、多孔質部を含み実質的に均一組成からなる絶縁膜とを有し、空孔部が、前記絶縁膜中、上面近傍および下面近傍のうち少なくとも一方において相対的に低密度に分布していることを特徴とする。すなわち、絶縁膜の上面近傍および下面近傍のうち少なくとも一方における空孔部の密度が、前記絶縁膜の内部における空孔部の密度よりも低くなっている。この絶縁膜は、内部に空孔部を有しているため低い比誘電率を有する一方、上面近傍および下面近傍のうち少なくとも一方において空孔部が相対的に低密度に分布しているため、隣接する膜との密着性に優れる。このため、半導体装置の信頼性を顕著に改善することができる。

【0014】

この半導体装置において、前記絶縁膜の上面近傍および下面近傍のうち少なくとも一方を非多孔質構造とすることができる。こうすることにより、隣接する膜に対する良好な密着性がより一層良好となる。また、当該絶縁膜へ隣接する膜の材料が滲入し絶縁膜の比誘電率が上昇することを効果的に抑制できる。

【0015】

絶縁膜中の空孔部の密度は任意の分布とすることができる。たとえば半導体基板側から上部に向かうにつれて減少するようにすれば、絶縁膜上部が保護膜としての機能を有することとなり、低誘電率で安定な構造の絶縁膜とすることができる。

【0016】

以上述べた半導体装置において、上記絶縁膜中に金属配線が設けられ、この金属配線の上面と絶縁膜の上面とが同一面内に位置する構成を採用することができる。かかる構成を採用する場合、金属配線の加工工程等において、絶縁膜の上面に一定の負荷がかかる。たとえば金属配線を CMP により形成する場合、金属配線を構成する金属膜と同時に上記絶縁膜も研磨される。こうしたことから、絶縁膜表面部の機械的強度を高めることが望まれるところ、本発明に係る絶縁膜の表面は、空孔部の密度が低くなっており、通常多孔質膜を用いた場合に比べて CMP 耐性が顕著に向上する。

【0017】

上記半導体装置における絶縁膜を CVD 膜とすることができる。絶縁膜中の多孔質部分および非多孔質部分をともに CVD 膜とすることにより、両者の間の密着性がより確実に

向上する。また、成膜室から取り出すことなく一貫工程で積層膜を形成することが可能となり、製造安定性も向上する。

【0018】

本発明に係る第一の半導体装置の製造方法は、半導体基板上に、多孔質膜および前記多孔質膜と実質的に同一組成の非多孔質膜がこの順で積層した絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して凹部を形成する工程と、前記凹部を埋め込むように金属膜を形成する工程と、前記多孔質膜が露出しないように前記金属膜を研磨またはエッチバックし、前記凹部以外の領域に形成された金属膜を除去する工程と、を含むことを特徴とする。

【0019】

この製造方法では、多孔質膜および非多孔質膜が実質的に同一組成の膜となっているため、多孔質膜と非多孔質膜との親和性が向上し、良好な密着性が得られる。また、多孔質膜が露出しないように金属膜を研磨またはエッチバックするため、絶縁膜の膜質を損なうことなく、凹部に埋設された金属膜を形成することができる。

【0020】

本発明に係る第二の半導体装置の製造方法は、半導体基板上に、Si、OおよびCを含む多孔質膜と、Si、OおよびCを含む非多孔質膜とがこの順で積層した絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して凹部を形成する工程と、前記凹部を埋め込むように金属膜を形成する工程と、前記多孔質膜が露出しないように前記金属膜を研磨またはエッチバックし、前記凹部以外の領域に形成された金属膜を除去する工程と、を含むことを特徴とする。

【0021】

この製造方法では、多孔質膜および非多孔質膜がいずれもSi、OおよびCを含むため、多孔質膜と非多孔質膜との親和性が向上し、良好な密着性が得られる。また、多孔質膜が露出しないように金属膜を研磨またはエッチバックするため、絶縁膜の膜質を損なうことなく、凹部に埋設された金属膜を形成することができる。

【0022】

本発明に係る第三の半導体装置の製造方法は、半導体基板上に、実質的に均一組成からなる多孔質構造の絶縁膜を形成する工程を含む半導体装置の製造方法であって、前記絶縁膜を形成する際、成膜条件を調整することにより空孔部の密度を変化させることを特徴とする。

【0023】

この製造方法によれば、絶縁膜中の空孔密度を任意に制御でき、たとえば、膜の上面近傍および下面近傍のうち少なくとも一方において空孔部が相対的に低密度に分布する構造を容易に形成することができる。空孔部が絶縁膜の上面近傍において相対的に低密度に分布するように成膜条件を調整すれば、当該絶縁膜上部の加工工程において、絶縁膜表面が保護層としての役割を果たし、半導体装置の信頼性が向上する。

【0024】

上記多孔質構造の絶縁膜を形成する方法としては様々な方法を採用することができる。たとえば、上記絶縁膜をCVD法等の気相成長により成膜することとし、成膜途中で、成膜ガス等の成膜条件を調整することにより空孔部の密度を変化させることができる。成膜前半で多孔質化しやすい成膜ガスを用い、成膜後半で多孔質化しにくいガスを用いれば、膜中で空孔密度が変調した絶縁膜を形成することができる。

【0025】

また、テンプレートを導入しながら絶縁膜を成膜し、テンプレートの導入量を成膜途中で経時的に変化させる方法も有効である。成膜後、テンプレートを分解または除去することにより絶縁膜を多孔質化する。この場合、成膜方法はCVD法等の気相成長のほか、スピンコート法を用いることもできる。

【0026】

本発明に係る第四の半導体装置の製造方法は、半導体基板上に、テンプレートを含む第

1の膜およびテンプレートを含まない第2の膜がこの順で積層した絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して凹部を形成する工程と、前記第1の膜を加熱処理し、前記テンプレートを分解または除去することにより前記第1の膜を多孔質化する工程と、を含むことを特徴とする。

【0027】

この製造方法によれば、第1の膜および第2の膜を連続的に成膜した後、第1の膜を多孔質化する手順としているため、低誘電率で良好な密着性を示す絶縁膜を、簡便な工程で製造安定性良く形成することができる。

【0028】

上記第四の半導体装置の製造方法において、さらに、前記凹部を埋め込むように金属膜を形成する工程と、前記絶縁膜の表面が露出するまで前記金属膜を研磨またはエッチバックし、前記凹部以外の領域に形成された金属膜を除去する工程とを含む構成とすることもできる。このような構成とした場合、絶縁膜内部の多孔質部分を露出させることなく金属膜を研磨またはエッチバックできるため、絶縁膜の膜質を損なうことなく凹部に埋設された金属膜を形成することができる。なお、この製造方法を含め、本発明に係る製造方法における「凹部」は、具体的には、配線溝、接続孔、パッド形成用凹部等を意味する。

【0029】

本発明に係る半導体装置の製造方法において、前記絶縁膜を、CVD法により成膜室から取り出すことなく一貫して形成し、前記絶縁膜における多孔質部分を形成する段階ではテンプレートを含む成膜ガスを用い、非多孔質部分を形成する段階ではテンプレートを実質的に含まない成膜ガスを用いるようにしてもよい。こうすることにより、多孔質部分および非多孔質部分を含む絶縁膜を、良好な製造安定性にて作成することができる。

【0030】

本発明における「多孔質」とは、テンプレートの使用や成膜ガスの選択により意図的に形成したポーラス構造をいう。誘電率低減の観点から、孔のサイズは平均径（直径）で1nm以上とすることが好ましい。平均径は、たとえば、膜の断面を電子顕微鏡観察する方法等により測定できる。

【発明の効果】

【0031】

以上説明したように本発明によれば、多孔質絶縁膜の導入により配線間容量を低減しつつ、多孔質絶縁膜の導入にともなう密着不良、絶縁膜の機械的特性低下、あるいは製造工程の煩雑化といった課題を有効に解決することができる。

【発明を実施するための最良の形態】

【0032】

図2は本発明に係る配線構造の一例を示す図である。この配線構造では、層間絶縁膜をスピノン法により形成し、銅配線をデュアルダマシン法により形成している。

【0033】

図2(A)の配線構造は、不図示のシリコン基板上に、配線間絶縁膜12、銅拡散防止膜13、多孔質MSQ膜14および非多孔質MSQ膜17が積層した構造となっている。配線間絶縁膜12中に下層配線11が設けられ、銅拡散防止膜13、多孔質MSQ膜14および非多孔質MSQ膜17からなる絶縁膜中に、銅膜20およびバリアメタル19からなる上層配線およびビアプラグが設けられている。下層配線11および上層配線はビアホールにより接続されている。

【0034】

多孔質MSQ膜14は、多孔質構造の絶縁膜である。具体的には、MSQ、MHSQ、HSQ等のシロキサン構造を有する塗布系膜を多孔質化したもの、SiOC膜等のCVD膜を多孔質化したもの等を用いることができる。なお、SiOC膜は、SiOCH膜と表記されることもあり、構成元素としては通常、Si、O、CおよびHを含む。多孔質構造の塗布系膜は以下のようにして形成することができる。すなわち、絶縁膜構成材料のプリカーサとテンプレートを含む溶液を基板上にスピノコートし、その後、熱処理により多孔

質化することによって形成することができる。一方、多孔質構造のCVD膜は、成膜ガス等、成膜条件を適宜に選択することにより形成することができる。

【0035】

非多孔質MSQ膜17は、非多孔質構造の絶縁膜である。この絶縁膜は多孔質MSQ膜14の保護膜である。銅膜20をデュアルダマシン法により形成するプロセスにおいて、銅膜20の上面と同一平面にある絶縁膜の上面に負荷がかかる。図2(A)の構造では、この負荷のかかる部分が多孔質MSQ膜14ではなく非多孔質MSQ膜17となっているため、CMPに対する耐性が顕著に改善される。

【0036】

非多孔質MSQ膜17はまた、多孔質MSQ膜14とその上部の膜との間に介在し、層間絶縁膜の密着性を向上させうる密着膜としても機能する。非多孔質MSQ膜17と多孔質MSQ膜14は、同一組成の有機珪素化合物を構成成分として含んでいることが望ましく、その有機珪素化合物を主成分として含んでいることがより望ましい。こうすることにより、これらの膜間の密着性がさらに良好となる。また、非多孔質MSQ膜17と多孔質MSQ膜14が、いずれもSi、OおよびCを含む化合物、たとえばポリオルガノシロキサンを含む構成としてもよい。それぞれの絶縁膜に含まれるポリオルガノシロキサンは同一であっても異なってもよいが、主骨格が共通するものとすれば、膜同士の親和性がより一層向上し、密着性改善効果が顕著となる。

【0037】

なお、非多孔質MSQ膜17の具体的材料としては、MSQ、MHSQ、HSQ等のシロキサン構造を有する塗布系膜、SiOC等のCVD膜等を用いることができる。

【0038】

図2(B)の配線構造は、層間絶縁膜として塗布膜を用いた他の例である。図示した配線構造は、バリアメタル19の下面に接するようにエッチング阻止膜15を有し、その上に多孔質MSQ膜を有する点が図2(A)の構造と相違する。他の部分の構成は図2(A)と同様である。

【0039】

エッチング阻止膜15は、銅膜20の配線溝形成のためのエッチングを行う際のオーバーエッチングを阻止する役割を果たす。エッチング阻止膜15は、たとえばSiN、SiON、SiC、SiCN、SiO₂等により構成することができる。

【0040】

図2(A)および図2(B)の構造において、非多孔質MSQ膜17上にSiC、SiCN、SiO₂等の保護膜を設けても良い。これにより、銅膜20形成時のCMP耐性をさらに高めることができる。

【0041】

図3は、本発明に係る配線構造の他の例を示す図である。この配線構造では、層間絶縁膜をCVD法により形成し、銅配線をデュアルダマシン法により形成している。

【0042】

図3(A)は、図2(A)と同様の層構造であるが、塗布膜ではなくCVD膜により層間絶縁膜を形成している。図3(A)の配線構造は、不図示のシリコン基板上に、配線間絶縁膜22、銅拡散防止膜23、多孔質SiOC膜24および非多孔質SiOC膜27が積層した構造となっている。配線間絶縁膜22中に下層配線11が設けられ、その上部の積層膜中に、銅膜20およびバリアメタル19からなる上層配線およびビアプラグが設けられている。下層配線11および上層配線はビアホールにより接続されている。多孔質SiOC膜24と非多孔質SiOC膜27はいずれもCVD法により形成されるので、途中で成膜ガス等、成膜条件を変更して連続形成することもできる。こうすることにより、膜間の密着性がより一層良好となる。また、成膜条件を適宜選択することにより多孔質SiOC膜24から非多孔質SiOC膜27にかけて空孔密度が連続的に変化する構造とすることもできる。

【0043】

図3 (B) は、図3 (A) と同様の層構造であるが、バリアメタル19の下面に接するようにエッチング阻止膜25を有し、その上に多孔質SiOC膜26を有する点が相違する。他の部分の構成は図3 (A) と同様である。

【0044】

図3 (C) は、銅拡散防止膜23の上面、エッチング阻止膜25の上面および下面に、それぞれ非多孔質SiOC膜27を設けている。このため、多孔質膜と他の膜との間の密着性が特に良好となる。CVD膜の多孔質では、成膜ガスを切り替える等、比較的簡易な操作で膜の空孔分布を制御することが可能となる。図3 (C) の構造はこうした空孔分布の制御技術を用いることで比較的容易に実現することができる。なお、成膜ガスの切り替えの際は、いったん成膜室内の雰囲気のパージし、その後、新しい成膜ガスを導入する方法と、パージをせずに新しい成膜ガスを導入する方法のいずれを採用してもよい。前者の場合、膜の界面が明瞭に現れ、膜組成の制御が容易となる。後者の場合、前の工程で用いた成膜ガスのメモリ効果により空孔密度の高い部分と低い部分との間で、空孔密度が漸次的に変化する構造となる。このようにすれば界面が明瞭に現れる場合よりもさらに膜強度が向上させることが可能となる。なお、図示した構造において、複数の非多孔質SiOC膜27のうち一部を省略することもできる。

【0045】

以下、本発明に係る半導体装置の製造方法の一例について図面を参照して説明する。各実施の形態における多孔質構造は、いずれも、テンプレートの使用や成膜ガスの選択により意図的に形成されるものであり、平均径1 nm以上の空孔を含む構造を有する。

【0046】

第一の実施の形態

図4～5は、図2 (A) に示した配線構造の製造方法を示す工程断面図である。本実施形態では、デュアルダマシンプロセスにより銅配線が多層に積層した配線構造を形成する。層間絶縁膜は、CVD-SiOC膜を用いる。

【0047】

まず以下の工程1～工程3を実施し、図4 (A) の状態とする。

【0048】

工程1

不図示のシリコン基板上に、銅膜およびバリアメタルからなる下層配線11および配線間絶縁膜22を形成した後、その上に、プラズマCVD法を用いて銅拡散防止膜23 (膜厚: 50 nm) を形成する。銅拡散防止膜23を構成する材料としては、SiN、SiON、SiC、SiCN等が挙げられる。本実施形態ではSiNを用いる。SiN膜の原料ガスとしては、モノシランとアンモニアを含む混合ガス、ジクロロシランとアンモニアを含む混合ガスなどを用いることができる。成膜温度は300℃～600℃とする。銅拡散防止膜23としてSiCNを用いる場合の原料ガスは、例えばトリメチルシランとアンモニアなどが挙げられ、成膜温度は300℃～600℃とする。

【0049】

工程2

銅拡散防止膜23上に、プラズマCVD法により多孔質SiOC膜24 ($k=2.0\sim2.5$) を成膜する。膜厚は、たとえば400～700 nmとする。成膜ガスとして、以下の(A)、(B) および(C) 成分を含む混合ガスを用いることができる。

(A) オルガノシランまたはオルガノシロキサン

(B) N_2O 、 O_2 、 O_3 、 CO_2 等の酸化剤

(C) テンプレート

このような混合ガスを用い、成膜条件を適宜に調整することによって空孔部を適度に含む多孔質SiOC膜24を形成することができる。

空孔部の密度は、オルガノシランの種類を適宜に選択することにより調整することができる。成膜温度は、たとえば300℃～500℃の範囲内で選択する。

(A) 成分のオルガノシランとしては、たとえば、 R_nSiH_{4-n} (Rはアルキル基

、 n は1以上4以下の整数)で表されるオルガノシラン等が挙げられる。

(C) 成分のテンプレートとしては、たとえば、シリコン含有単位と、熱的に不安定な非シリコン含有単位とを含むシクロアルケン類を用いることができる。

シリコン含有単位としては、メチルシロキシ ($\text{CH}_3\text{-SiH}_2\text{-O-}$) 単位、ジメチルシロキシ ($(\text{CH}_3)_2\text{-SiH-O-}$) 単位等が挙げられる。

熱的不安定基を有する非シリコン含有単位としては、ジオキシニル ($-(\text{-CH=CH-O-CH=CH-O-})-$)、フラニル ($-(\text{-CH=CH-CH=CH-O-})-$)、フルベニル ($-(\text{-CH=CH-CH=CH-C(CH}_3)_2\text{-})-$)、およびこれらがフッ素置換されたものが挙げられる。

こうした単位を有するシクロアルケン類の具体例としては、メチルシリル-1, 4-ジオキシニルエーテル、2-メチルシロキサニルフラン、3-メチルシロキサニルフラン、2, 5-ビス(メチルシロキシ)-1, 4-ジオキシニル、3, 4-ビス(メチルシロキサニル)フラン、2, 3-ビス(メチルシロキサニル)フラン、2, 4-ビス(メチルシロキサニル)フラン、2, 5-ビス(メチルシロキサニル)フラン、1-メチルシロキサニルフルベン、2-メチルシロキサニルフルベン、6-メチルシロキサニルフルベン、ビス(メチルシロキサニル)フルベン、ジメチルシリル-1, 4-ジオキシニルエーテル、2-ジメチルシロキサニルフラン、3-ジメチルシロキサニルフラン、2, 5-ビス(ジメチルシロキシ)-1, 4-ジオキシニル、3, 4-ビス(ジメチルシロキサニル)フラン、2, 3-ビス(ジメチルシロキサニル)フラン、2, 4-ビス(ジメチルシロキサニル)フラン、2, 5-ビス(ジメチルシロキサニル)フラン、1-ジメチルシロキサニルフルベン、2-ジメチルシロキサニルフルベン、6-ジメチルシロキサニルフルベン、ビス(ジメチルシロキサニル)フルベン、2, 4, 6-トリシラオキサニル及びシクロ-1, 3, 5, 7-テトラシレン-2, 6-ジオキシ-4, 8-ジメチレン、およびこれらのフッ素置換体が挙げられ、これらのうち一種または二種以上を組み合わせる用いることができる。

【0050】

工程3

多孔質SiOC膜24が形成された基板を成膜装置から取り出し、ファーンズアニールを行う。これにより多孔質SiOC膜24を安定化した膜に変換することができる。アニール温度は、成膜温度を超える温度とすることが好ましく、たとえば300～500℃とする。

【0051】

工程4

多孔質SiOC膜24上に非多孔質SiOC膜27(膜厚: 50～350nm、 $k=2.9$)を形成する。非多孔質SiOC膜27の膜厚は、多孔質SiOC膜24の膜厚に応じて適宜設定される。非多孔質SiOC膜27の形成には、多孔質SiOC膜と同様の形成方法が望ましく、本実施形態ではプラズマCVD法を用いる。非多孔質SiOC膜27の形成に際しては、テンプレートを含まない点を除いて多孔質SiOC膜24を形成したのと同じガスを用いることができるし、多孔質SiOC膜24の成膜とは異なる種類の成膜ガスを用いてもよい。

【0052】

以上の工程を経て図4(A)の状態とする。つづいて、以下に示す工程5～8を実施する。

【0053】

工程5

通常露光法によりレジストパターン45を形成し、非多孔質SiOC膜27と多孔質SiOC膜24を、異方性エッチングによりビアホールを開孔する。その後、酸素プラズマ処理によって、レジストパターン45を除去する(図4(B))。

【0054】

工程6

通常露光法によりレジストパターン46を形成し、非多孔質SiOC膜27を、異方

性エッチングにより配線溝 47 を形成する (図 5 (A))。その後、レジストパターン 46 を除去する。

【0055】

工程 7

銅拡散防止膜 23 をエッチバックし、ビアホールを下層配線 11 に到達させる。このときのエッチバックは、銅拡散防止膜 23 を 50 nm 程度エッチングするとともに、非多孔質 SiOC 膜 27 を 70 nm 程度エッチングする (図 5 (B))。また、エッチバックの条件を変更することによって、銅拡散防止膜 23 に対する非多孔質 SiOC 膜 27 のエッチング選択比を制御することも可能である。

【0056】

工程 8

以上の工程で形成した配線溝およびビアホールを埋め込むようにバリアメタル 19 (50 nm) を形成した後、銅膜 20 (700 nm) を堆積する。本実施形態ではバリアメタル 19 として Ta を用いるが、その他、Ti、TiN、Ta₂N、TiW、TaW、WN を単独または複合して用いることができる。バリアメタル 19 の成膜は、通常、CVD 法を用いるが、スパッタリング法を用いてもよい。一方、銅膜 20 の成膜は、本実施形態ではめっき法を用いるが、そのほか、CVD 法、スパッタリング法等を用いることもできる。

【0057】

つづいて CMP によりシリコン酸化膜上のバリアメタル 19 および銅膜 20 を研磨し、ビアプラグおよび上層配線を形成する。研磨の終点は非多孔質 SiOC 膜 27 の表面が露出した時点とする。以上により、図 5 (C) に示す配線構造が得られる。

【0058】

この配線構造は、層間絶縁膜の大部分が低い誘電率の多孔質 SiOC 膜 24 により構成されているため、配線間の寄生容量を効果的に低減することができる。また、多孔質 SiOC 膜 24 上に非多孔質 SiOC 膜 27 が形成されているため、図 5 (C) の CMP 工程において多孔質 SiOC 膜 24 の損傷を防止することができる。さらに、多孔質 SiOC 膜 24 および非多孔質 SiOC 膜 27 が、いずれも同一組成の化合物により構成されているため、両膜の間の界面密着性は良好である。この配線構造の上部には銅拡散防止膜等が形成されるが、非多孔質 SiOC 膜 27 はこれらの膜との密着性も良好である。

【0059】

第二の実施の形態

本実施形態では、第一の実施の形態の工程 2 ~ 4 に代えて以下の工程 2' を行う。

【0060】

工程 2'

銅拡散防止膜 13 上に、プラズマ CVD 法を用いて多孔質 SiOC 膜 24 (膜厚: 400 ~ 700 nm) および非多孔質 SiOC 膜 27 (膜厚: 50 ~ 350 nm) を形成する。それぞれの膜の成膜ガスは第一の実施の形態と同様であるが、本実施形態では、基板を成膜装置から取り出すことなく、成膜ガスを変更し、連続的にこれらの膜を形成する。たとえば、以下の方法により成膜を行うことができる。

成膜ガスとして、以下の (A)、(B) および (C) 成分を含む混合ガスを用いることができる。

(A) オルガノシランまたはオルガノシロキサン

(B) N₂O、O₂、O₃、CO₂ 等の酸化剤

(C) テンプレート

多孔質 SiOC 膜 24 および非多孔質 SiOC 膜 27 の成膜に際しては、(A) 成分および (B) 成分を流す。多孔質 SiOC 膜 24 の成膜時には、さらに (C) 成分のテンプレートを導入する。非多孔質 SiOC 膜 27 の成膜工程に移行する際、テンプレートの導入を中止する。

なお、成膜ガス変更の際は、いったん成膜室内の雰囲気のパージし、その後、新しい成膜ガスを導入してもよいし、パージを行わずに徐々に成膜ガス組成が変化するようにして

もよい。後者の方法によれば、孔の密度が漸次的に変化する傾斜構造の膜を得ることができる。

【0061】

その後、第一の実施の形態における工程5および工程6を実施し、つづいて、以下の工程6'を行う。

【0062】

工程6'

図4(B)の状態からレジスト除去後、基板を炉に投入し、ファーンスアニールを行う。これにより、多孔質SiOC膜24中に残存する低分子化合物等を、ピアホールを介して揮発させることができる。これにより多孔質SiOC膜24の膜特性が安定化する。アニール温度は成膜温度を超える温度とすることが好ましく、たとえば300～500℃とする。

【0063】

本実施形態では、多孔質SiOC膜と非多孔質SiOCが連続的に形成されるため、工程数を削減することができる上、絶縁膜の強度も一層良好となる。

【0064】

工程2'において、パージ後、新しい成膜ガスを導入した場合は、図4～図5に示すように、多孔質SiOC膜24および非多孔質SiOC膜27からなる明確な2層構造が得られる。これに対し、パージをせずに成膜ガスを切り替えた場合、これらの膜の界面は明瞭に現れず、絶縁膜中の空孔部の密度が、半導体基板側から上部に向かうにつれて漸次的に減少する構造となる。

【0065】

空孔部の密度が基板側から上部に向かうにつれ連続的に減少する構造の絶縁膜を形成するためには、成膜ガスを段階的に切り替えてもよい。こうすることにより、低い誘電率および優れた層間密着性をあわせ持つ絶縁膜を安定的に製造できる。

本実施形態では、テンプレートの供給および停止により多孔質と非多孔質の各構造を作り分ける方法を示したが、テンプレートの供給量を変化させることにより、孔密度を調整することもできる。こうすることにより、絶縁膜中、上面近傍および下面近傍のうち少なくとも一方において空孔部が相対的に低密度に分布した構造を容易に形成することができる。図9は、こうした構造の一例である。図中、絶縁膜29は、基板側から上部に向かって空孔密度が徐々に減少する傾斜構造の膜である。絶縁膜29の上面は配線と同一レベルにあり、この部分では非多孔質構造となっている。このような構造とすることにより、当該絶縁膜と隣接する膜との間の密着性を向上させることができる。また、絶縁膜形成後、CMPのような機械加工工程を実施しても絶縁膜の損傷を最小限に抑えることができる。

【0066】

第三の実施の形態

本実施形態では、デュアルダマシンプロセスにより銅配線が多層に積層した配線構造を形成する。層間絶縁膜としてはスピノン法によるMSQ膜を用いる。

【0067】

まず、以下の工程1～工程4を実施し、図6(A)の状態とする。

【0068】

工程1

銅からなる下層配線11および配線間絶縁膜12上に、プラズマCVD法を用いて銅拡散防止膜13(膜厚:50nm)を形成する。銅拡散防止膜13を構成する材料としては、SiN、SiON、SiC等が挙げられる。本実施形態ではSiNを用いる。SiN膜の原料ガスとしては、モノシランとアンモニアを含む混合ガス、ジクロロシランとアンモニアを含む混合ガスなどを用いることができる。成膜温度は300℃～600℃とする。銅拡散防止膜13としてSiCを用いる場合の原料ガスは、例えばトリメチルシランとアンモニアなどが挙げられ、成膜温度はたとえば300℃～450℃とする。

【0069】

工程 2

銅拡散防止膜 13 上に、シリカ系プリカーサおよびテンプレートを含む膜材料を用い、スピノン法により MSQ 膜を形成する。膜厚は、その後に形成される非多孔質 MSQ 膜の膜厚との関係により適宜設定され、通常、400～700 nm の範囲の厚みが選択される。

シリカ系プリカーサとしては、たとえばオルガノシロキサン、オルガノシラン、シロキサンなどの SiOC または SiOCH を有する有機シリコン化合物を用いることができる。

テンプレートとしては、たとえば、リン、チタン、ジルコニウム、アルミニウムのような金属原子を含む金属キレート化合物や界面活性剤もしくは GeO_2 のような無機化合物ナノ粒子を用いることができる。

【0070】

工程 3

テンプレートを除去し多孔質化するために熱処理を施す。これにより、MSQ 膜が多孔質 MSQ 膜 14 に変換する。なお熱処理温度は成膜温度を超える温度とすることが好ましく、たとえば 200～450℃ とする。

【0071】

工程 4

多孔質 MSQ 膜 14 上に、シリカ系プリカーサを含みテンプレートを含まない膜材料を用い、スピノン法により非多孔質 MSQ 膜 17 (膜厚: 50～350 nm) を形成する。非多孔質 SiOC 膜 17 の膜厚は、多孔質 SiOC 膜 14 の膜厚に応じて適宜設定される。シリカ系プリカーサは、多孔質 MSQ 膜 14 の形成に用いたものと同様のものを用いてもよいし、異なる種類のものを用いてもよい。

【0072】

以上の工程を経て図 6 (A) の状態とする。つづいて第一の実施の形態と同様にして、以下に示す工程 5～8 を実施する。

【0073】

工程 5

レジストパターン 45 を形成し、異方性エッチングによりビアホールを開口する。その後に、酸素プラズマ処理によって、レジストパターン 45 を除去する (図 6 (B))。

【0074】

工程 6

レジストパターン 46 を形成し、異方性エッチングによりダマシン配線用溝配線溝 47 を開口する (図 7 (A))。

【0075】

工程 7

レジストパターン 46 を除去した後、銅拡散防止膜 13 をエッチバックし、ビアホールを下層配線 11 に到達させる (図 7 (B))。

【0076】

工程 8

以上の工程で形成した配線溝およびビアホールを埋め込むようにバリアメタル 19 (50 nm) を形成した後、銅膜 20 (700 nm) を堆積する。その後、CMP によりシリコン酸化膜上のバリアメタル 19 および銅膜 20 を研磨し、ビアプラグおよび上層配線を形成する。研磨の終点は非多孔質 MSQ 膜 17 の表面が露出した時点とする。以上により、図 7 (C) に示す配線構造が得られる。

【0077】

この配線構造は、層間絶縁膜の大部分が低い誘電率の多孔質膜により構成されているため、配線間の寄生容量を効果的に低減することができる。また、CMP 耐性、層間密着性にも優れる。

【0078】

第四の実施の形態

本実施形態は、層間絶縁膜としてスピノン法によるMSQ膜を用い、第三の実施の形態と同様の配線構造を形成する。本実施形態では、層間絶縁膜の形成工程を簡便にし、工程数を削減している。

【0079】

本実施形態では、第三の実施の形態における工程1および2を実施した後、工程3の多孔質化する熱処理を省略する。つづいて工程4を実施して図8(A)の状態とする。図8(A)では、銅拡散防止膜13上に、テンプレートを含むMSQ膜30が形成されている。

【0080】

その後、工程5を実施し、異方性エッチングによりビアホールを開口する。酸素プラズマ処理によってレジストパターン45を除去した後、本実施形態では、基板を熱処理し、テンプレートを除去してMSQ膜30を多孔質化する。これにより、MSQ膜30を多孔質MSQ膜14に変換する(図8(B))。なお熱処理温度は成膜温度を超える温度とすることが好ましく、たとえば200~450℃とする。

【0081】

その後、第三の実施の形態と同様にして工程6以降を行い、配線構造を形成する。

【0082】

本実施形態では、MSQ膜の成膜を連続工程で行うことができるので、工程数を削減することができる。

【0083】

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、その各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。たとえば、上記実施の形態ではデュアルダマシン法による配線構造の形成を例に挙げて説明したが、シングルダマシン法による配線やプラグ形成工程に適用することもできる。

【0084】

また、絶縁膜や配線、バリアメタル等の材料についても、上記のものに限られず、適宜に選択することができる。たとえば第三および第四の実施の形態において、MSQ膜に代えてMSQおよびMHSQの混合材料からなる膜とすることもできる。また、絶縁膜中の多孔質膜と非多孔質膜の境界部分も図示したものに限られず任意の位置とし、両者の膜厚比を適宜に調整することができる。

【図面の簡単な説明】

【0085】

【図1】従来の半導体装置の概略断面図である。

【図2】本発明に係る半導体装置の一例を示す概略断面図である。

【図3】本発明に係る半導体装置の一例を示す概略断面図である。

【図4】本発明に係る半導体装置の製造方法の一例を示す工程断面図である。

【図5】本発明に係る半導体装置の製造方法の一例を示す工程断面図である。

【図6】本発明に係る半導体装置の製造方法の一例を示す工程断面図である。

【図7】本発明に係る半導体装置の製造方法の一例を示す工程断面図である。

【図8】本発明に係る半導体装置の製造方法の一例を示す工程断面図である。

【図9】本発明に係る半導体装置の一例を示す概略断面図である。

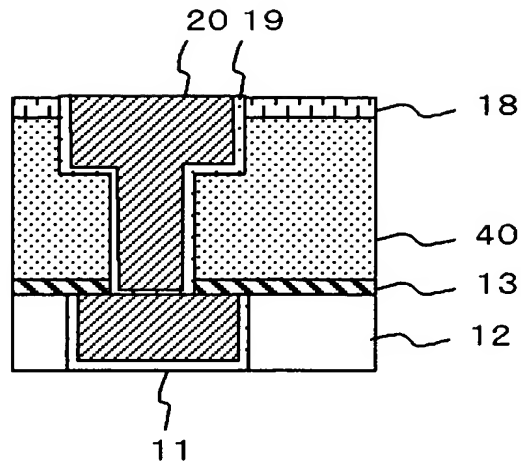
【符号の説明】

【0086】

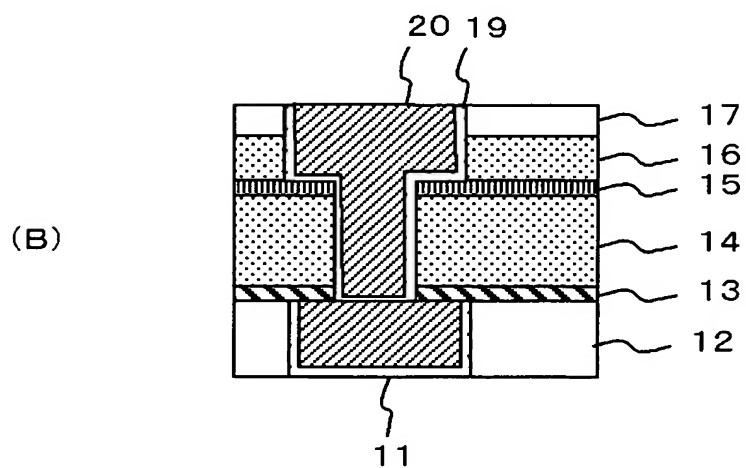
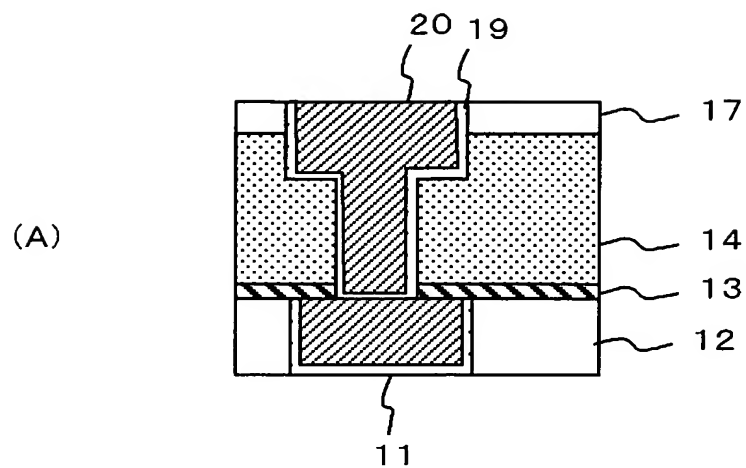
11・・・下層配線、12・・・配線間絶縁膜、13・・・銅拡散防止膜、14・・・多孔質MSQ膜、15・・・エッチング阻止膜、16・・・多孔質MSQ膜、17・・・非多孔質MSQ膜、19・・・バリアメタル、22・・・配線間絶縁膜、23・・・銅拡散防止膜、24・・・多孔質SiOC膜、25・・・エッチング阻止膜、26・・・多孔質SiOC膜、27・・・非多孔質SiOC膜、29・・・絶縁膜、45・・・レジストパ

ターン、 4 6 . . . レジストパターン、 4 7 . . . 配線溝。

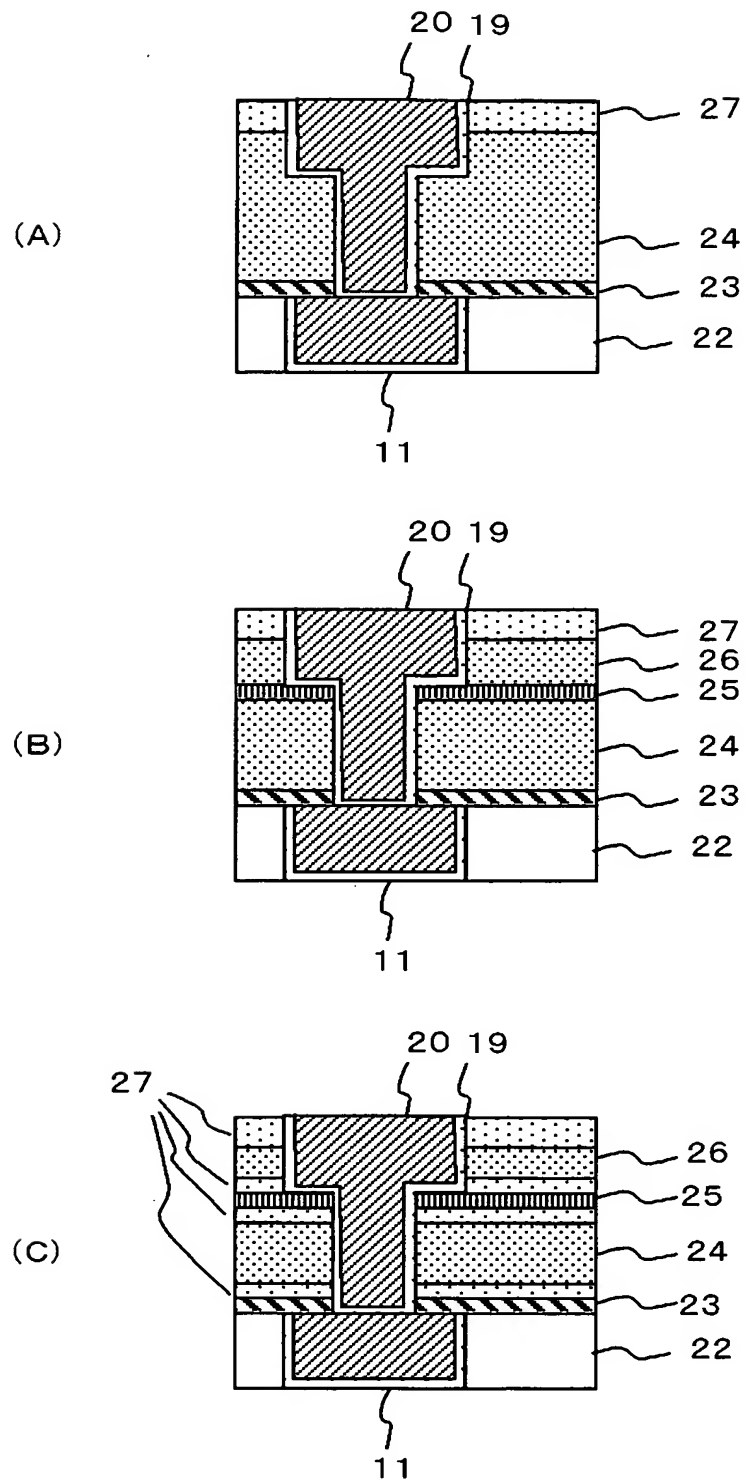
【書類名】 図面
【図 1】



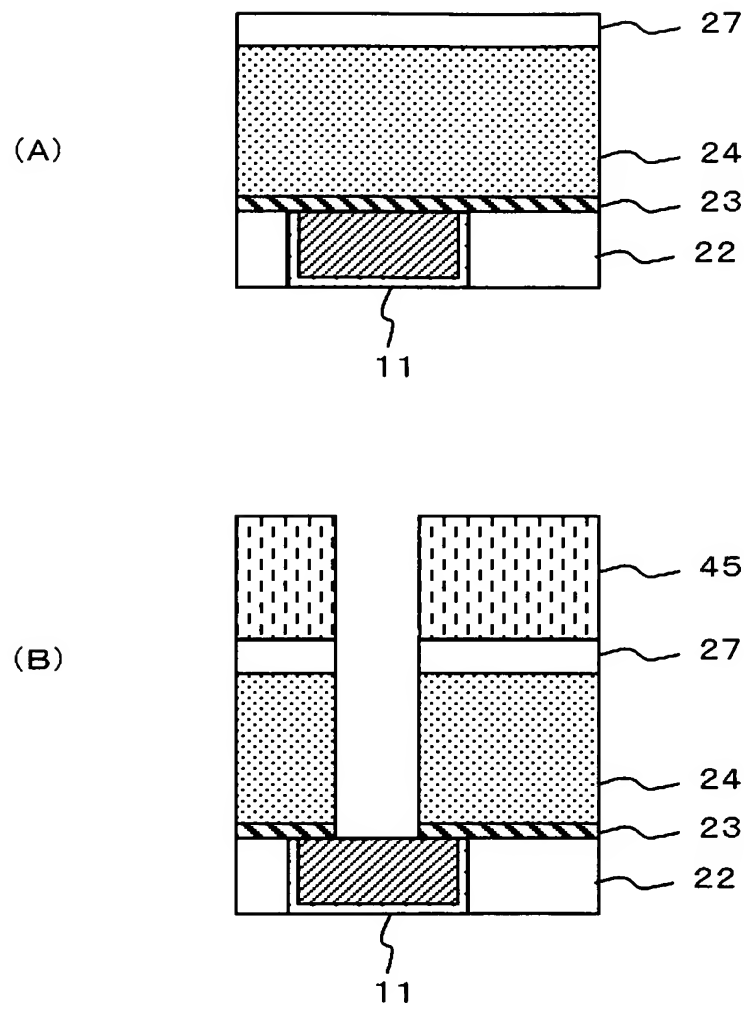
【図 2】



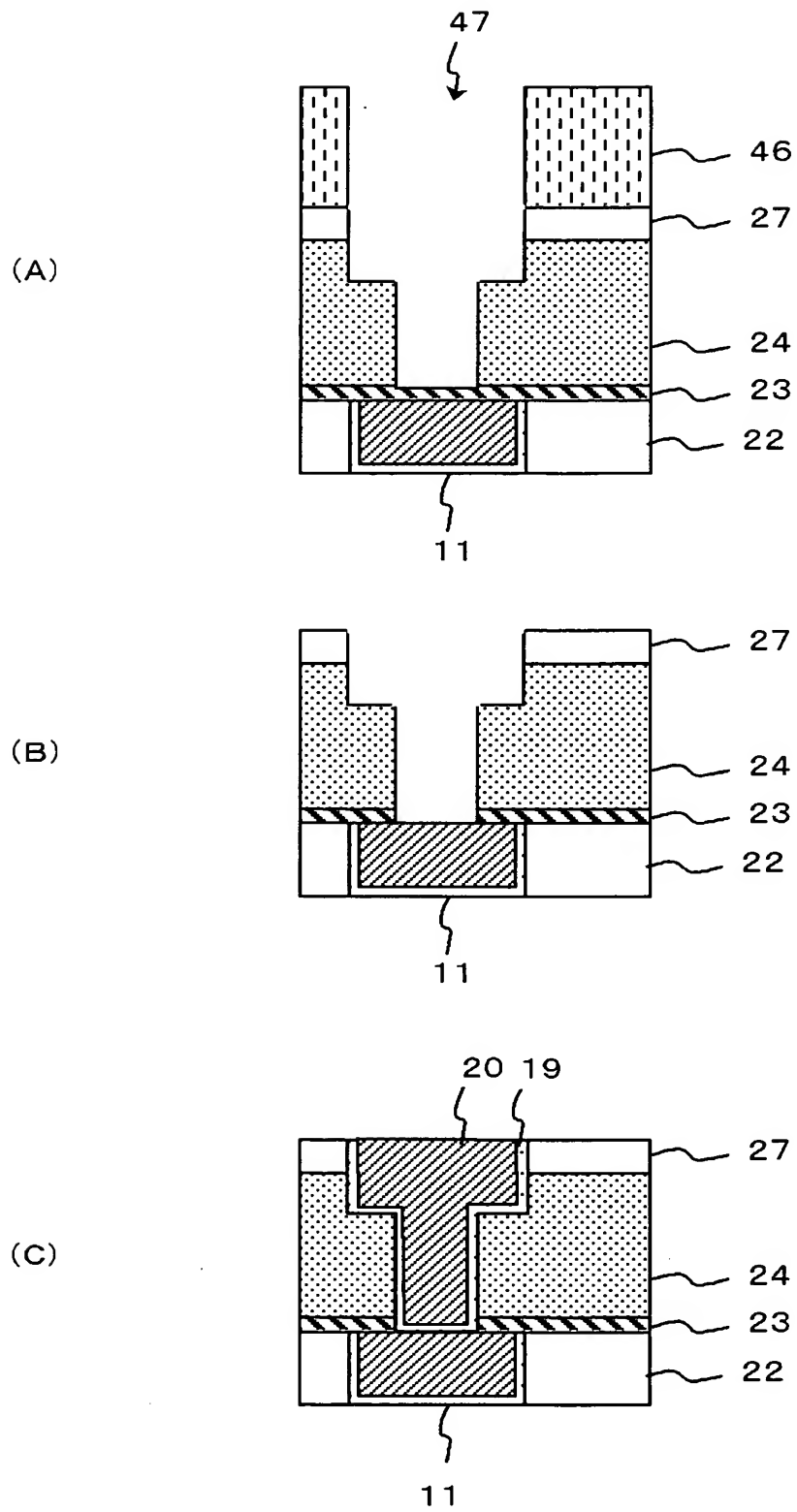
【図 3】



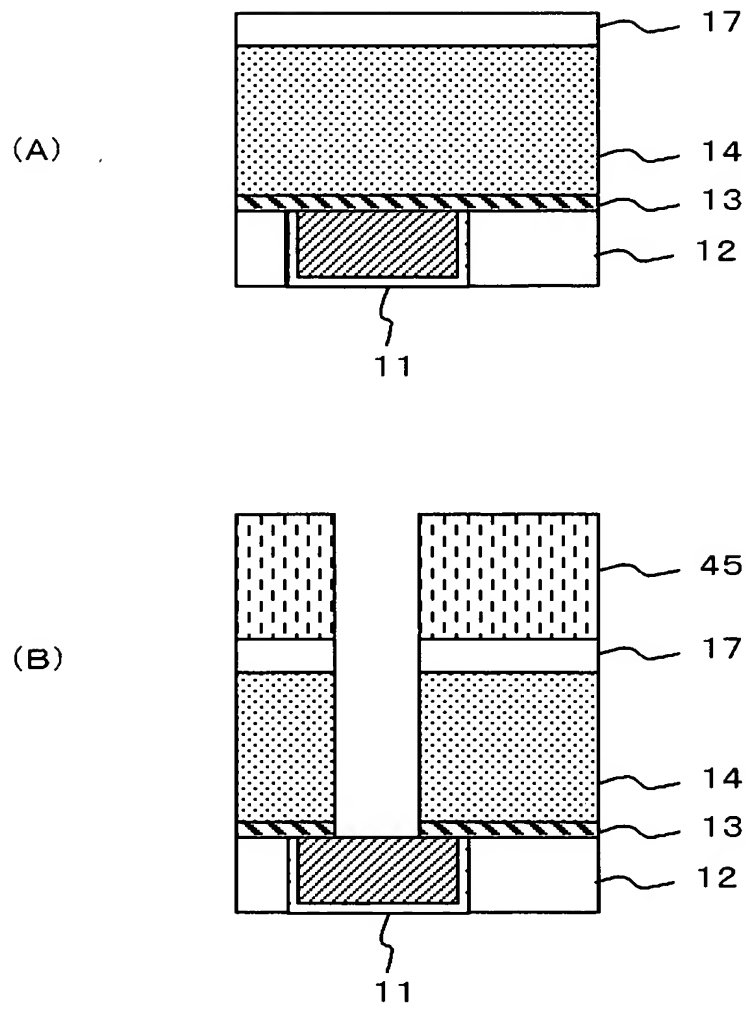
【図 4】



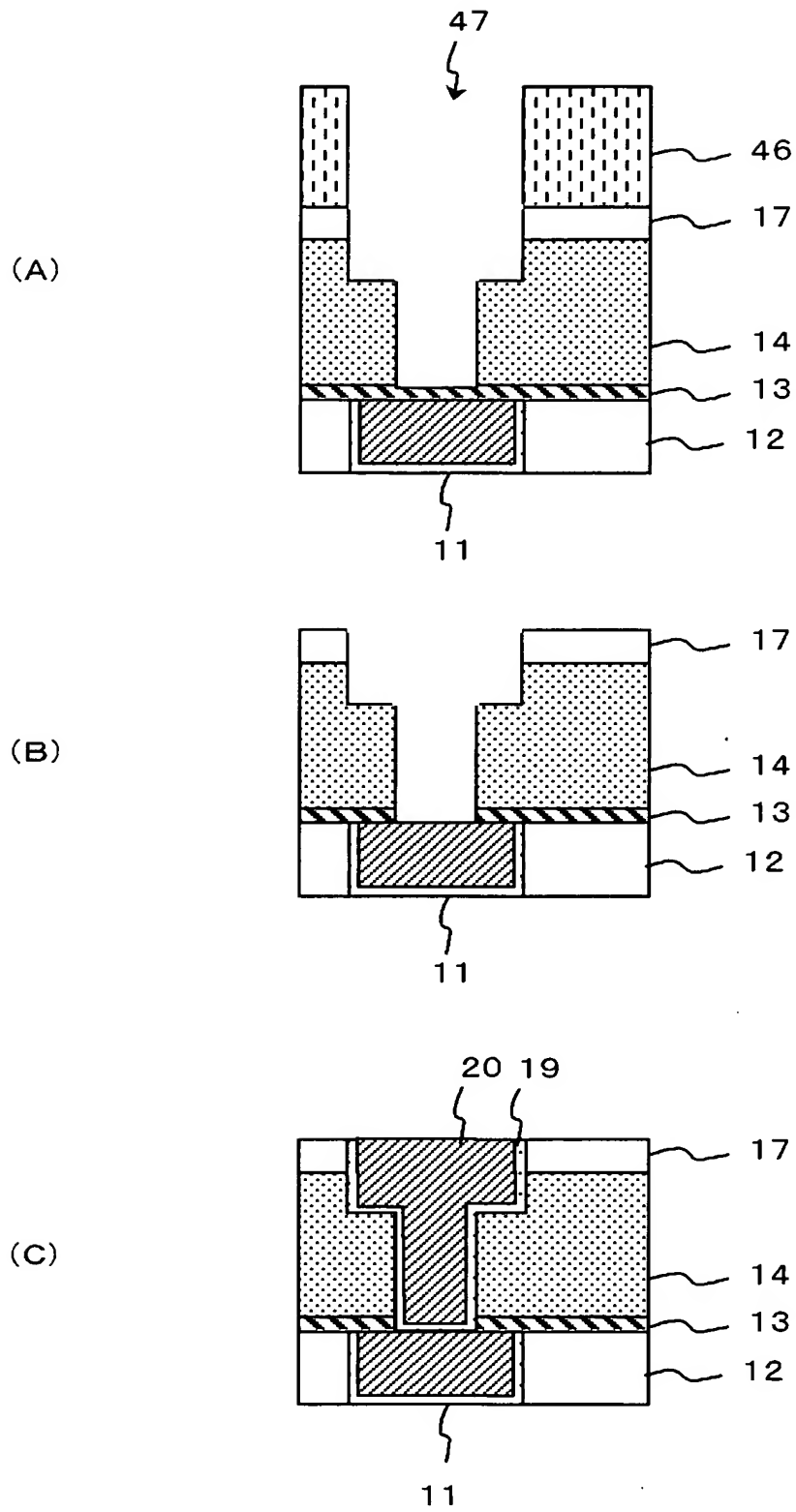
【図 5】



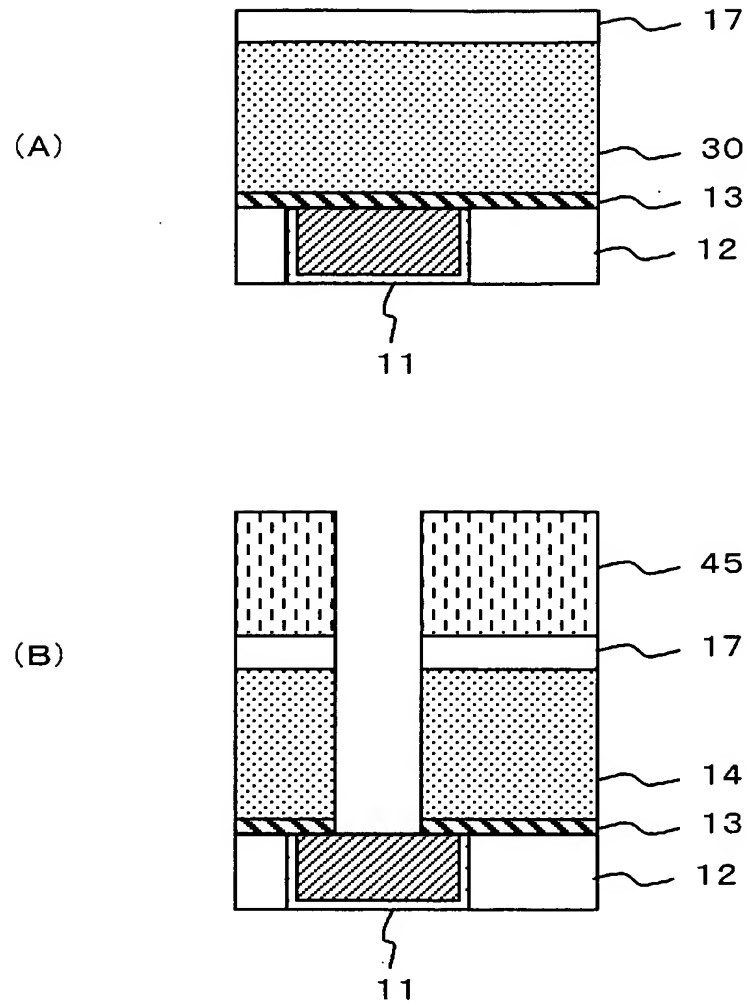
【図 6】



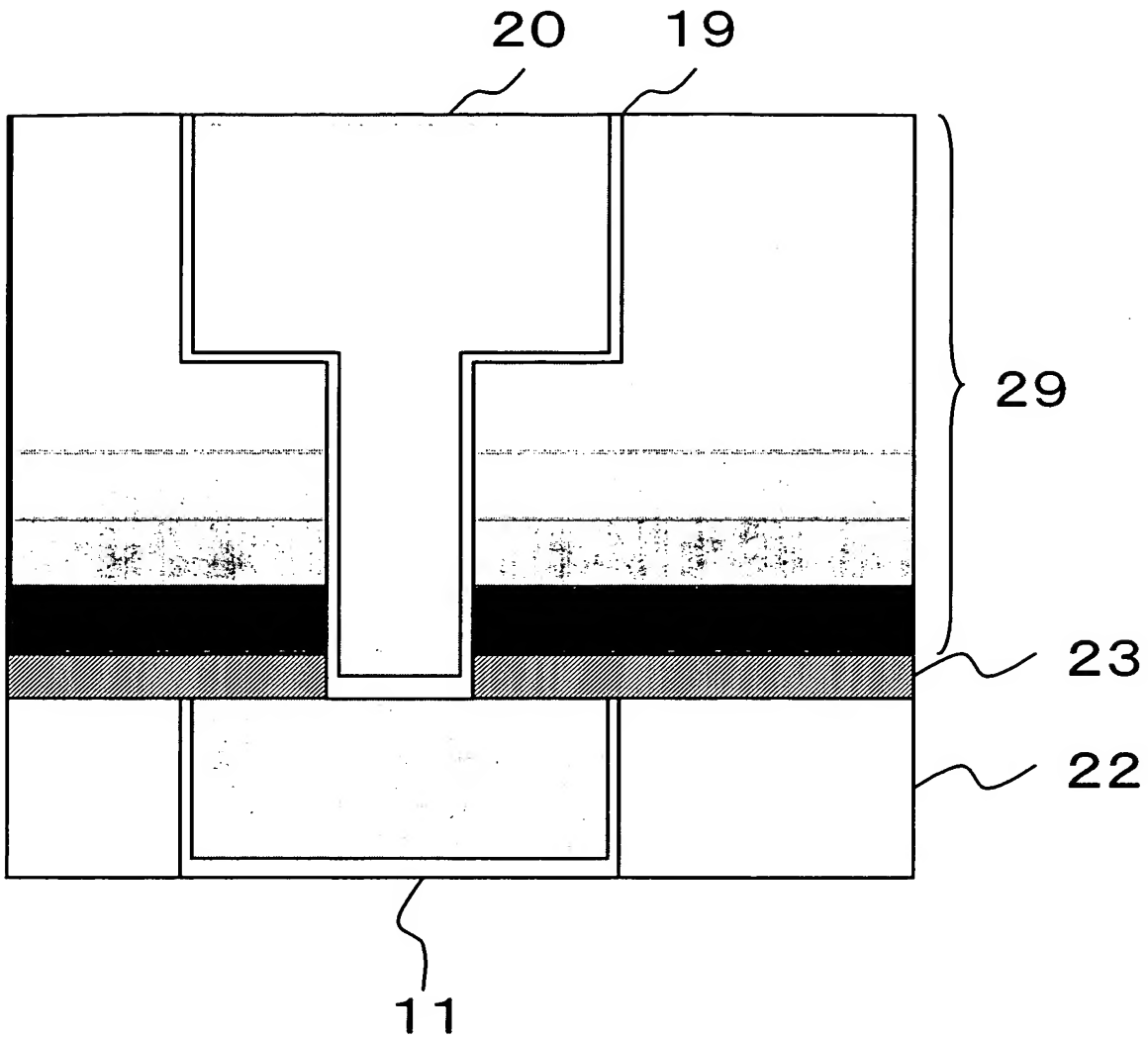
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 多孔質絶縁膜の導入により配線間容量を低減しつつ、多孔質絶縁膜の導入にともなう密着不良や絶縁膜の機械的特性低下を抑制する。

【解決手段】 半導体基板上に多孔質MSQ膜14を設け、この上に非多孔質MSQ膜17を形成する。多孔質MSQ膜14および非多孔質MSQ膜17を、Si、O、Cを含む共通の膜材料により構成する。

【選択図】 図2

特願 2 0 0 3 - 3 0 7 8 0 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

- | | |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日 |
| [変更理由] | 新規登録 |
| 住 所 | 大阪府守口市京阪本通 2 丁目 1 8 番地 |
| 氏 名 | 三洋電機株式会社 |
| | |
| 2. 変更年月日 | 1 9 9 3 年 1 0 月 2 0 日 |
| [変更理由] | 住所変更 |
| 住 所 | 大阪府守口市京阪本通 2 丁目 5 番 5 号 |
| 氏 名 | 三洋電機株式会社 |